

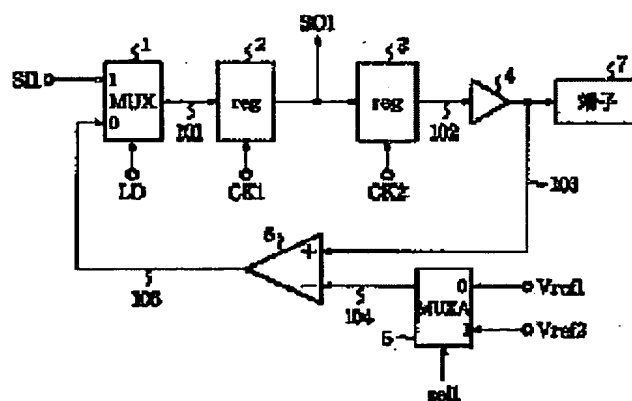
TESTING METHOD AND TESTING CIRCUIT OF LOGIC CIRCUIT

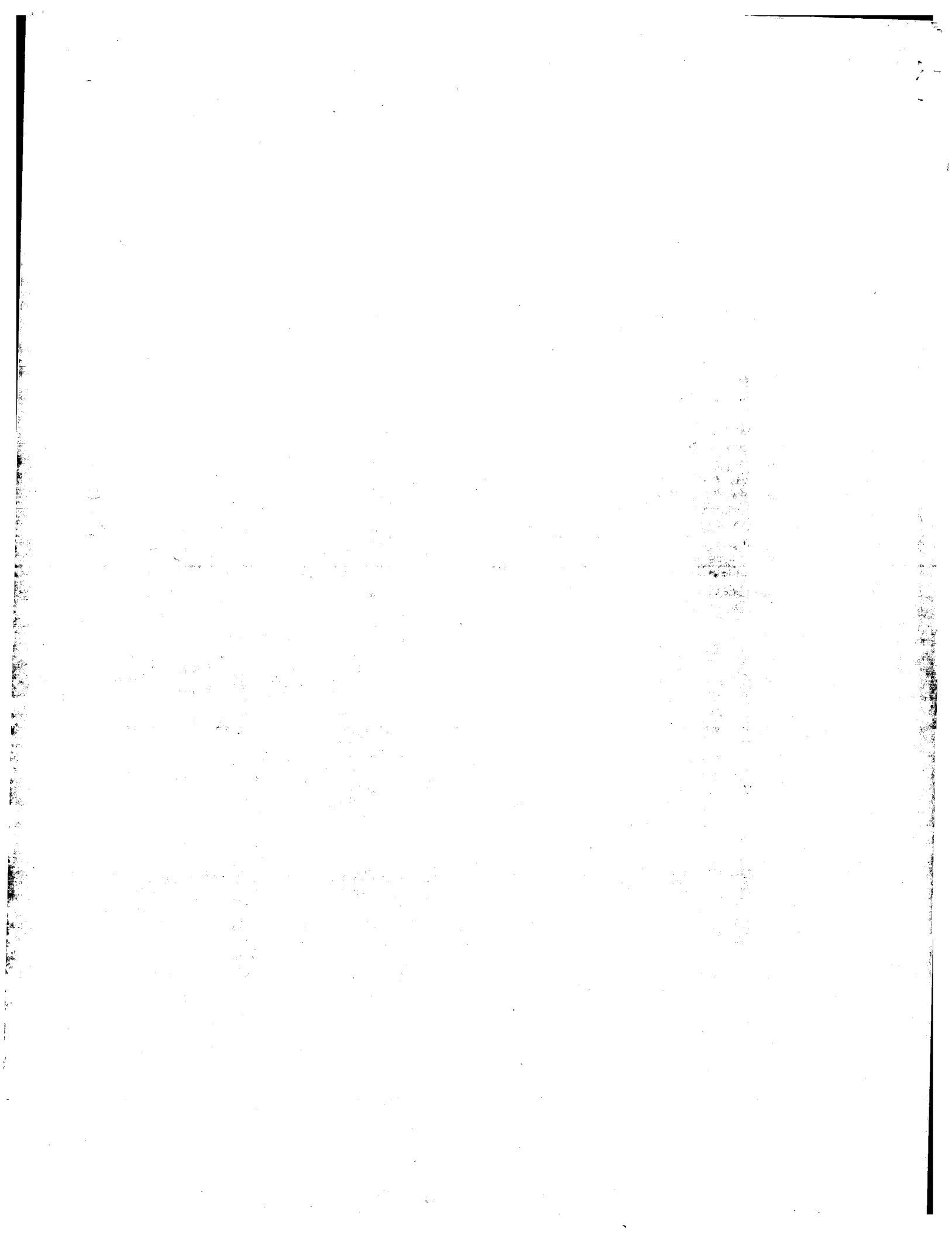
Patent number: JP9264929
Publication date: 1997-10-07
Inventor: NISHIDA KOJI
Applicant: NEC CORP
Classification:
 - international: G01R31/28
 - european:
Application number: JP19960076091 19960329
Priority number(s):

Abstract of JP9264929

PROBLEM TO BE SOLVED: To enable the detection of short failures with reliability even when the voltage at a terminal becomes an intermediate voltage in the case of the short failure of a terminal in a testing circuit using a boundary scan cell.

SOLUTION: When the voltage level of an outer terminal 7 is inputted to a capture register reg 2 via a comparator 6, the voltage level is not judged by the threshold level of the capture register reg 2. Instead, it is judged by the reference voltage Vref of the input end (-) of the comparator 6, and an intermediate voltage level which is uncertain to become either an H or L level is determined. Short failures can be thus detected with reliability.





(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-264929

(43) 公開日 平成9年(1997)10月7日

(51) Int.Cl.⁶

G 0 1 R 31/28

識別記号

庁内整理番号

F I

G 0 1 R 31/28

技術表示箇所

M

D

審査請求 有 請求項の数 6 O L (全 11 頁)

(21) 出願番号

特願平8-76091

(22) 出願日

平成8年(1996)3月29日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 西田 浩二

東京都港区芝五丁目7番1号 日本電気株式会社内

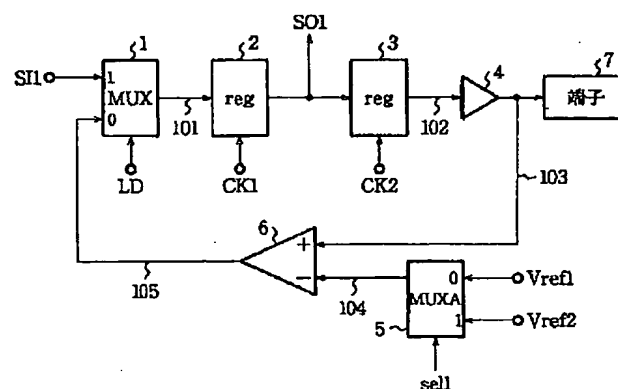
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 論理回路のテスト方法およびそのテスト回路

(57) 【要約】

【課題】 バウンダリスキャン・セルを用いたテスト回路において、端子の短絡故障時に、端子における電圧が中間電圧となっても確度よく短絡故障を検出できるようにする。

【解決手段】 外部端子7の電圧レベルをコンパレータ6を介してキャプチャレジスタ reg 2 に入力させることにより、電圧レベルの判別を、キャプチャレジスタ reg 2 のスレッシュホールドレベルで判別させるのではなく、コンパレータ6の入力端(+)の基準電圧 Vref で判別させることで、Hレベル、Lレベルのどちらになるか分からない中間電圧レベルを特定することで、確度よく短絡故障を検出できる。



【特許請求の範囲】

【請求項1】 入力端子から供給されるデータを所定の制御信号に応答して選択的に出力させ、この選択データを従属接続された第1のレジスタに第1のクロックに同期させて順次に直列データとして入力させかつ順次に読み出させるとともに、この読み出されたデータをさらに従属接続された第2のレジスタに第2のクロックに同期させて順次に入力させ、かつ順次に読み出して外部端子へ出力させるとともに、このデータを、あらかじめ基準電圧生成手段で生成した故障検出用の基準電圧を用いて前記外部端子の電位が中間レベルであれば期待レベルに対して反対の電圧レベルを出力するようにコンパレータでレベル判定させ、その判定出力データを前記セレクトで選択させて再び前記第1のレジスタに順次に入力させ、その出力を次段のテスト回路に取り込んで、前記期待レベルと異なる電圧レベルを検出して前記外部端子の短絡故障を判定するようにしたことを特徴とする論理回路のテスト方法。

【請求項2】 入力端子から供給されるデータを所定の制御信号に応答して選択的に出力する第1のセレクトと、このセレクト出力の選択データを第1のクロックに同期させて順次に直列データとして入力する従属接続された第1のレジスタと、このレジスタの出力データを次段のテスト回路に取り込む出力端子と、前記第1のレジスタの出力データを第2のクロックに同期させて順次に直列データとして入力する従属接続された第2のレジスタと、この第2のレジスタから順次に読み出された出力データを外部端子に出力するバッファと、このバッファから出力された出力データを外部に出力する外部端子と、この外部端子における短絡故障検出用の基準電圧を生成する基準電圧生成手段と、この基準電圧生成手段から供給される前記基準電圧を用いて、前記外部端子の電位を判定し中間レベルであれば期待レベルに対して反対の電圧レベルを前記セレクトに出力するコンパレータとを備え、前記外部端子が中間レベルのときには前記コンパレータから出力される前記期待レベルに対して反対の電圧レベルを前記セレクトおよび前記第1のレジスタを介して次段のテスト回路に取り込み、前記期待レベルと異なる電圧レベルを検出して前記外部端子の短絡故障を判定することを特徴とする論理回路のテスト回路。

【請求項3】 前記基準電圧生成手段は、第2のセレクトを備え、その第1の入力端には前記出力端子に出力されるハイレベルの電圧がロウレベルに短絡されて中間レベルになったときにこの中間レベルをロウレベルと判定するための第1の基準電圧が供給され、その第2の入力端には前記出力端子に出力されるロウレベルの電圧がハイレベル側に短絡されて中間レベルになったときにこの中間レベルをハイレベルと判定するための第2の基準電圧が供給され、その選択出力端が前記コンパレータの基準電圧入力端に接続されるように構成される請求項2記

載の論理回路のテスト回路。

【請求項4】 前記基準電圧生成手段は、D/Aコンバータを備え、その複数の入力端にはハイレベルまたはロウレベルのデジタル信号がそれぞれ供給され、これらの信号の組み合わせで決る所定の前記基準電圧が出力される出力端が前記コンパレータの基準電圧入力端に接続され、前記基準電圧は前記外部端子に出力されるロウレベルの電圧がハイレベル側に短絡されて中間レベルになったときにこの中間レベルをハイレベルと判定するための基準電圧が前記信号の組み合わせで所定の異なるハイレベルの電圧として生成され、前記外部端子に出力されるハイレベルの電圧がロウレベル側に短絡されて中間レベルになったときにこの中間レベルをロウレベルと判定するための基準電圧が前記信号の他の組み合わせで所定の異なるロウレベルの電圧として生成されるように構成される請求項2記載の論理回路のテスト回路。

【請求項5】 前記第1のセレクトと第1のレジスタと前記出力端子と前記第2のレジスタと前記バッファと前記外部端子と前記コンパレータとを含む前記テスト回路を複数組および前記第2のセレクトを1個備え、前記第2のセレクトの出力端を前記複数のコンパレータの前記基準電圧入力端に共通接続してなる請求項2記載の論理回路のテスト回路。

【請求項6】 前記第1のセレクトと第1のレジスタと前記出力端子と前記第2のレジスタと前記バッファと前記外部端子と前記コンパレータとを含む前記テスト回路を複数組および前記D/Aコンバータを1個備え、前記D/Aコンバータの出力端を前記複数のコンパレータの前記基準電圧入力端に共通接続してなる請求項2記載の論理回路のテスト回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、論理回路のテスト方法およびそのテスト回路に係わり、特に半導体装置の隣接する端子が短絡して電氣的動作が不具合となる故障を検出するための論理回路のテスト方法およびそのテスト回路に関する。

【0002】

【従来の技術】半導体装置および半導体装置を搭載した回路基板の内部回路の故障発見の手法の一例にバウンダリスキャン・テストがある。このバウンダリスキャン・テストの一例が日経エレクトロニクス、1994年9月5日号の90頁に記載されている。同誌所載のバウンダリスキャン対応のLSIの構成図を示した図6を参照すると、バウンダリスキャン対応のLSI81は、このテスト専用の端子として少なくとも4つの端子が用意される。すなわち、TDI (Test Data In) 端子とTDO (Test Data Out) 端子とTMS (Test Mode Select) 端子とTCK (Test Clock) 端子である。

【0003】さらに内部にはTAP (Test Access Port) コントローラ85と、LSI81の各端子と内部の通常動作の内部回路83の間にバウンダリスキャン・セル82と、バイパスレジスタ84と、マルチプレクサを配置する(ここでは不図示)。テスト時にはバウンダリスキャン・セル82を数珠つなぎにする。このバウンダリスキャン・セル82をTAPコントローラ85と命令レジスタ86とで制御し、LSI81の通常動作とは無関係にLSI81内外に信号を入出力できる。

【0004】例えば、TDI端子からシリアルにデータを入力し、出力側バウンダリスキャン・セル82にデータを設定し、これらのバウンダリスキャン・セル82から各端子にパラレルに出力する。各端子に出力されたデータを入力側の各バウンダリスキャン・セル82にパラレルに取り込み、これらの取り込んだデータをTDO端子からシリアルに読み出すことができる。

【0005】上述したバウンダリスキャンを用いたLSIのテスト回路の一例を示した図7(a)を参照すると、入力データが入力端子SI1から入力端1に入力され端子7からバウンダリスキャンの出力データ103が入力端0に入力されこれらのデータのいずれかを制御信号LDに応答して次段へ出力するセレクトAMUX1と、このセレクトAMUX1から出力される出力データ101をクロックCK1に응答して保持するキャプチャレジスタreg2(前述したバウンダリスキャン・セルに相当する)と、このキャプチャレジスタreg2から出力端子SO1に出力されるデータをクロックCK2に응答して保持するアップデートレジスタreg3と、このアップデートレジスタreg3から出力される出力データ102を端子7に出力データ103として出力するバッファBuf1とで構成される。

【0006】このテスト回路は例えばテストが必要な所定の端子ごとに用意され、一方の出力端子SO1を他方の入力端子SI1に接続することによって数珠つなぎにして図6に示したようなバウンダリスキャンバスを構成する。

【0007】図7(a)とこのバウンダリスキャンの動作を説明するためのタイミングチャートを示した図8

(a)および図8(b)とを併せて参照すると、入力データSI1がHレベルのとき、端子7が短絡故障を起こしていない場合は、セレクトAMUX1の制御信号LDをタイミングt4でHレベルに設定し、入力されたHレベルをクロックCK1(図8(a)のA点のタイミング)でキャプチャレジスタreg2が保持し、出力端子SO1からHレベルを出力する。

【0008】次に、セレクトAMUX1の制御信号LDをLレベルに設定し、クロックCK2(図8(a)のB点のタイミング)でアップデートレジスタreg3がHレベル保持しその出力データ102をバッファBuf4を

介して端子7に出力する。このときセレクトAMUX1の制御信号LDがLレベルに設定してあるので、端子7でのHレベルをクロックCK1(図8(a)のC点のタイミング)でキャプチャレジスタreg2が保持し、出力端子SO1からHレベルを出力する(一点鎖線で示す部分)。すなわち回路が正常であれば出力端子SO1から出力されるデータはA点以降はHレベルとなる。

【0009】上述した状態で、端子7が短絡故障をしている場合、出力端子SO1の出力状態は2通りある。第1は、端子7がLレベル側に短絡故障している場合であり、クロックCK2(図8(a)のB点のタイミング)で、端子7にてアップデートレジスタreg3の出力(Hレベル)と短絡しているLレベルがぶつかり、Lレベルとなる。このLレベルをクロックCK1(図8(a)のC点のタイミング)でキャプチャレジスタreg2が保持し出力端子SO1からLレベルを出力する(実線で示す部分)。

【0010】第2は、端子7がHレベル側と短絡故障している場合であり、クロックCK2(図8(a)のB点のタイミング)で、端子7での電圧レベルがHレベルとなり、短絡故障を起こしていない正常な場合と同じ動作をするので、短絡故障は検出できない。

【0011】入力端子SI1にLレベルのデータを入力したとき、端子7が短絡故障を起こしていない場合は、図8(b)に示すように、セレクトAMUX1の制御信号LDをt5のタイミングでHレベルに設定し、入力されたLレベルをクロックCK1(図8(b)のA点のタイミング)でキャプチャレジスタreg2が保持し、出力端子SO1からLレベルが出力される。次にB点のタイミングでセレクトAMUX1の制御信号LDをLレベルに設定し、このLレベルをクロックCK2(図8(b)のB点のタイミング)でアップデートレジスタreg3が保持し、その出力信号102をバッファBuf4を介して端子7に出力する。

【0012】このときセレクトAMUX1の制御信号LDはLレベルに設定してあるので、端子7に出力されたLレベルをクロックCK1(図8(b)のC点のタイミング)でキャプチャレジスタreg2が保持し、出力端子SO1からLレベルを出力する(一点鎖線部)。

【0013】上述の状態、端子7が短絡故障をしている場合も、出力端子SO1の出力状態は2通りある。第1は、端子7がHレベル側と短絡故障している場合は、クロックCK2(図8(b)のB点のタイミング)で、端子7にてアップデートレジスタreg3の出力(Lレベル)と短絡しているHレベルがぶつかり、その電位はHレベルとなる。このHレベルをクロックCK1(図8(b)のC点のタイミング)でキャプチャレジスタreg2が保持し出力端子SO1からHレベルを出力する(実線部分)。

【0014】第2は、端子7がLレベル側と短絡故障し

ている場合であり、クロックCK2(図8(b)のB点のタイミング)で、端子7での電圧レベルがLレベルとなり、短絡故障を起こしていない場合と同じ動作をするので、この場合は短絡故障は検出できない。

【0015】上述したように入力端子SI1にHレベルおよびLレベルをそれぞれ入力して2回テストすることによって全ての短絡故障を検出することが出来る。

【0016】

【発明が解決しようとする課題】上述した従来のテスト回路では、端子7が短絡故障をしているときに、端子7から入力電圧セクタMUXを介してキャプチャレジスタreg2に入力されてくる電圧レベルをキャプチャレジスタreg2のスレッシュホールドレベルによって判別することが問題となる。

【0017】キャプチャレジスタ2およびアップデータレジスタ3のレジスタのスレッシュホールドレベルの V_{TN} および V_{Tp} などによるばらつきを説明するための波形図を示した図7(b)を参照すると、上述したレジスタのスレッシュホールドレベルは、レジスタがCMOSトランジスタで構成されている場合、Nチャネル型MOSトランジスタのスレッシュホールドレベル V_{TN} およびPチャネル型MOSトランジスタのスレッシュホールドレベル V_{Tp} などの条件により図7(b)に示す波形110、111および112のようなばらつきがある。

【0018】例えば、入力データのレベルがスレッシュホールドレベル V_{TN} が V_{in1} 以下の場合には出力レベル V_{out} はLレベルを出力し、スレッシュホールドレベル V_{Tp} が V_{in1} 以上の場合には、出力レベル V_{out} はHレベルを出力する。スレッシュホールドレベルが V_{in1} 以上で V_{in3} 以下の場合には、ばらつきの範囲を示し、波形111および112を出力するトランジスタにとってはまだ V_{in} はLレベルの状態にあるが、波形110を出力するトランジスタはHレベルを出力することになり、ばらついている。

【0019】また、他の出力端子と短絡故障をしている時は、それぞれの電流のドライブ能力によって、端子での電圧レベルが中間レベルとなることがある。

【0020】このような中間レベルとなった時に、トランジスタの製造上のばらつきによってはHレベルおよびLレベルの判別が異なることがあり、短絡故障を検出できないという問題点があった。

【0021】

【課題を解決するための手段】本発明の論理回路のテスト方法の特徴は、入力端子から供給されるデータを所定の制御信号にตอบสนองして選択的に出力させ、この選択データを従属接続された第1のレジスタに第1のクロックに同期させて順次に直列データとして入力させかつ順次に読み出させるとともに、この読み出されたデータをさらに従属接続された第2のレジスタに第2のクロックに同期させて順次に入力させ、かつ順次に読み出して外部端

子へ出力させるとともに、このデータを、あらかじめ基準電圧生成手段で生成した故障検出用の基準電圧を用いて前記外部端子の電位が中間レベルであれば期待レベルに対して反対の電圧レベルを出力するようにコンパレータでレベル判定させ、その判定出力データを前記セクタで選択させて再び前記第1のレジスタに順次に入力させ、その出力を次段のテスト回路に取り込んで、前記期待レベルと異なる電圧レベルを検出して前記外部端子の短絡故障を判定するようにしたことにある。

【0022】本発明の論理回路のテスト回路の特徴は、入力端子から供給されるデータを所定の制御信号にตอบสนองして選択的に出力する第1のセクタと、このセクタ出力の選択データを第1のクロックに同期させて順次に直列データとして入力する従属接続された第1のレジスタと、このレジスタの出力データを次段のテスト回路に取り込む出力端子と、前記第1のレジスタの出力データを第2のクロックに同期させて順次に直列データとして入力する従属接続された第2のレジスタと、この第2のレジスタから順次に読み出された出力データを外部端子に出力するバッファと、このバッファから出力された出力データを外部に出力する外部端子と、この外部端子における短絡故障検出用の基準電圧を生成する基準電圧生成手段と、この基準電圧生成手段から供給される前記基準電圧を用いて、前記外部端子の電位を判定し中間レベルであれば期待レベルに対して反対の電圧レベルを前記セクタに出力するコンパレータとを備え、前記外部端子が中間レベルのときには前記コンパレータから出力される前記期待レベルに対して反対の電圧レベルを前記セクタおよび前記第1のレジスタを介して次段のテスト回路に取り込み、前記期待レベルと異なる電圧レベルを検出して前記外部端子の短絡故障を判定することにある。

【0023】また、前記基準電圧生成手段は、第2のセクタを備え、その第1の入力端には前記出力端子に出力されるハイレベルの電圧がロウレベルに短絡されて中間レベルになったときにこの中間レベルをロウレベルと判定するための第1の基準電圧が供給され、その第2の入力端には前記出力端子に出力されるロウレベルの電圧がハイレベル側に短絡されて中間レベルになったときにこの中間レベルをハイレベルと判定するための第2の基準電圧が供給され、その選択出力端が前記コンパレータの基準電圧入力端に接続されるように構成される。

【0024】さらに、前記基準電圧生成手段は、D/Aコンバータを備え、その複数の入力端にはハイレベルまたはロウレベルのデジタル信号がそれぞれ供給され、これらの信号の組み合わせで決る所定の前記基準電圧が出力される出力端が前記コンパレータの基準電圧入力端に接続され、前記基準電圧は前記外部端子に出力されるロウレベルの電圧がハイレベル側に短絡されて中間レベルになったときにこの中間レベルをハイレベルと判定するた

めの基準電圧が前記信号の組み合わせで所定の異なるハイレベルの電圧として生成され、前記外部端子に出力されるハイレベルの電圧がロウレベル側に短絡されて中間レベルになったときにこの中間レベルをロウレベルと判定するための基準電圧が前記信号の他の組み合わせで所定の異なるロウレベルの電圧として生成されるように構成される。

【0025】さらにまた、前記第1のセレクタと第1のレジスタと前記出力端子と前記第2のレジスタと前記バッファと前記外部端子と前記コンパレータとを含む前記テスト回路を複数組および前記第2のセレクタを1個備え、前記第2のセレクタの出力端を前記複数のコンパレータの前記基準電圧入力端に共通接続される。

【0026】また、前記第1のセレクタと第1のレジスタと前記出力端子と前記第2のレジスタと前記バッファと前記外部端子と前記コンパレータとを含む前記テスト回路を複数組および前記D/Aコンバータを1個備え、前記D/Aコンバータの出力端を前記複数のコンパレータの前記基準電圧入力端に共通接続される。

【0027】

【発明の実施の形態】次に本発明の実施の形態について図面を参照しながら説明する。

【0028】図1は本発明の一実施の形態におけるテスト回路の回路構成図である。図1を参照すると、外部からの入力データがバッファ（図示せず）を介して入力される端子S I 1と、テスト時に動作するバウンダリスキャンの出力データを次段のテスト回路（図示せず）に出力する出力端子S O 1と、テスト時に動作するバウンダリスキャンの出力データまたは内部回路からの信号を出力する外部端子7と、入力端1および0を備えこの入力端1に入力端子S I 1から入力データが入力されかつ入力端0に外部端子7からバウンダリスキャンの出力データ103が入力されこれらのデータのいずれかを制御信号L Dに応答して選択し次段へ出力するセレクタM U X 1と、このセレクタM U X 1から出力される出力データ101をクロックC K 1に応答して保持するキャプチャーレジスタr e g 2と、このキャプチャーレジスタr e g 2から端子S O 1に出力されるデータをクロックC K 2に応答して保持するアップデートレジスタr e g 3と、このアップデートレジスタr e g 3から出力される出力データ102を外部端子7に出力データ103として出力するバッファB u f 1と、基準電圧V r e f 1を入力端0に基準電圧V r e f 2を入力端1にそれぞれ入力し制御信号s e l 1に応答して基準電圧V r e f 1または基準電圧V r e f 2のいずれかを選択して出力するセレクタM U X 5と、このセレクタM U X A 6で選択された基準電圧V r e fを入力端（-）に、バッファ4の出力データを入力端（+）にそれぞれ入力するコンパレータc m p 6とから構成される。

【0029】なお、ここでは説明を容易にするために外

部端子1個に対応するテスト回路を示してあるが、複数の外部端子に対応するバウンダリスキャンパスを構成するときは、一方の出力端子S O 1を他方の入力端子S I 1に接続して数珠つなぎにしてスキャンパスを構成する。

【0030】上述した構成からなる本発明の第1の実施の形態のテスト回路の動作について説明する。図1とその動作説明用タイミングチャートを示した図2（a）および図2（b）とを併せて参照すると、まず、入力S I 1にHレベルを入力したとき、短絡故障を起こしていない場合について説明する。セレクタM U X A 5の制御信号s e l 1をHレベルにして基準電圧V r e f 2（電源電圧の90%くらい）を選択し、コンパレータc m p 6の入力端（-）に入力する。

【0031】次に、セレクタM U X 1の制御信号L DをHレベルに設定し、入力端子S I 1から入力されたHレベルデータをクロックC K 1（図2（a）のA点のタイミング）でキャプチャーレジスタr e g 2が保持するとともに、この保持されたデータは同時に出力端子S O 1からHレベルで出力される。

【0032】次に、セレクタM U X 1の制御信号L DをLレベルに設定し、クロックC K 2（図2（a）のB点のタイミング）でアップデートレジスタr e g 3がキャプチャーレジスタr e g 2から出力されたHレベルを保持するとともにバッファB u f 4を介して外部端子7に出力する。外部端子7の電圧レベルがコンパレータc m p 6の入力端（+）に入力され、先に選択的に設定された入力端（-）の基準電圧V r e f 2よりも高い電圧であればHレベルと判別されて出力される。セレクタM U X 1の制御信号L DがLレベルに設定してあるので、その選択出力データ101はコンパレータc m p 6の出力（Hレベル）となり、このデータをクロックC K 1（図2（a）のC点のタイミング）でキャプチャーレジスタr e g 2が保持し、端子S O 1からHレベルを出力する（一点鎖線部分）。

【0033】上述した状態で外部端子7がLレベル側と短絡故障を起こしている場合は、図2（b）を参照すると、クロックC K 2（図2（b）のB点のタイミング）で、外部端子7において、アップデートレジスタr e g 2の出力（Hレベル）と故障で短絡しているLレベルとがぶつかって、外部端子7の電位が中間電圧レベルとなっても、コンパレータc m p 6の基準電圧V r e f 2によりLレベルと判別され、クロックC K 1（図2（b）のC点のタイミング）でキャプチャーレジスタr e g 2に保持され端子S O 1からLレベルが出力される（実線部分）。

【0034】端子S I 1にLレベルを入力したとき、外部端子7が短絡故障を起こしていない場合は、図2

（b）を参照すると、セレクタM U X A 5の制御信号s e l 1をLレベルにしてV r e f 1（電源電圧の10%

くらい)を選択しコンパレータcmp6の入力端(−)に入力する。

【0035】セレクトMUX1の制御信号LDをHレベルに設定し、SI1から入力されたLレベルをクロックCK1(図2(b)のA点のタイミング)でキャプチャレジスタ2が保持し、かつ端子SO1からLレベルが出力される。

【0036】次にセレクトMUX1の制御信号LDをLレベルに設定し、クロックCK2(図2(b)のB点のタイミング)でアップデートレジスタreg3がキャプチャレジスタ2から出力されたLレベルを保持しバッファBuf4を介して外部端子7に出力する。外部端子7の電圧レベルがコンパレータcmp6に入力され、基準電圧Vref1によりLレベルに判別され出力される。このときセレクトMUX1の制御信号LDがLレベルに設定してあるので、コンパレータcmp6の出力(Lレベル)をクロックCK1(図2(b)のC点のタイミング)でキャプチャレジスタreg2が保持し、端子SO1からLレベルを出力する(一点鎖線部分)。

【0037】上述の状態では外部端子7がHレベル側と短絡故障を起こしている場合は、図2(b)を参照すると、クロックCK2(図2(b)のB点のタイミング)で、外部端子7にてアップデートレジスタreg3の出力(Lレベル)と短絡しているHレベルとがぶつかって、外部端子7の電位が中間電圧レベルとなっても、コンパレータcmp6の基準電圧Vref1によりHレベルと判別される。このHレベルがクロックCK1(図2(b)のC点のタイミング)でキャプチャレジスタreg2に保持され、端子SO1からHレベルが出力される(実線部分)。

【0038】上述したように、コンパレータcmp6の基準電圧Vref1をLレベルと中間レベルを明確に判別出来る電圧レベル(例えば電源電圧の約10%)に設定し、また基準電圧Vref2をHレベルと中間レベルを明確に判別出来る電圧レベル(例えば電源電圧の約10%)に設定することで、短絡故障を全て検出できる。

【0039】また、全ての端子にテスト回路が入っている場合、基準電圧レベルVrefを変えて複数回テストし中間電圧レベルを細かく分け、端子における電圧レベルが同レベルのものを特定すると、複数の端子が短絡故障をしていたり、短絡故障が複数ある場合、短絡故障している端子もしくは電圧レベルが同じなので、どの端子とどの端子が短絡しているかを検出することができる。

【0040】次に本発明の第2の実施の形態をブロック図で示した図3を参照すると、第1の実施の形態との相違点は、第1の実施の形態におけるセレクトMUX A5に変えて、コンパレータcmp6の基準電圧Vrefをnビットのデジタル信号Dnを入力とするD/Aコンバータ8で生成するようにしたことである。それ以外の構成要素は同一であるからここでの構成の説明は省略す

る。

【0041】図3と再び図2(a)および図2(b)とを併せて参照すると、まず、入力SI1にHレベルを入力したとき、短絡故障を起こしていない場合は、D/Aコンバータ8の制御信号D1、D2、～Dnに与えるデジタル信号の組み合わせにより、例えばDn=D4とすると、D1～D4がすべてHレベルのときに基準電圧Vref104のレベルが電源電圧の90%くらいになるように設定し、D1～D4がすべてLレベルのときに基準電圧Vref104のレベルが電源電圧の10%くらいになるように設定する。つまり電源電圧10%～90%の間を16等分に分割された電圧レベルが出力電圧104としてコンパレータcmp6の入力端(−)に入力されることにより、任意の中間レベルをHレベルまたはLレベルのいずれかに設定してコンパレータcmp6から出力することができる。

【0042】例えば、ここではD1を最下位ビットとしてD1=Lレベル、D2=D3=D4=Hレベルに設定したときD/Aコンバータ8の出力レベル104が電源電圧の約79.4%のレベルになるものとする。

【0043】次に、セレクトMUX1の制御信号LDがHレベルのとき、端子SI1から入力されたHレベルデータをクロックCK1(図2(a)のA点のタイミング)でキャプチャレジスタreg2が保持するとともに、この保持されたデータは同時に端子SO1からHレベルで出力される。

【0044】次に、セレクトMUX1の制御信号LDがLレベルになると、クロックCK2(図2(a)のB点のタイミング)でアップデートレジスタreg3がキャプチャレジスタreg2から出力されたHレベルを保持するとともにバッファBuf4を介して外部端子7に出力する。外部端子7の電圧レベルがコンパレータcmp6の入力端(+)に入力され、先に設定された入力端(−)の基準電圧Vrefが電源電圧の約79.4%であるからこの電圧と比較してそれよりも十分に高いレベルであるからHレベルと判別されてコンパレータcmp6から出力データ105がMUX1の入力端0に出力される。セレクトMUX1の制御信号LDがLレベルになっているので、その選択出力データ101はコンパレータcmp6の出力Hレベルとなり、このHレベルデータをクロックCK1(図2(a)のC点のタイミング)でキャプチャレジスタreg2が保持し、端子SO1からHレベルを出力する(一点鎖線部分)。

【0045】上述した状態で外部端子7がLレベル側と短絡故障を起こしている場合は、外部端子7において、アップデートレジスタreg3の出力(Hレベル)と故障で短絡しているLレベルとがぶつかって、外部端子7の電位が中間電圧レベルとなっても、クロックCK2(図2(b)のB点のタイミング)で、コンパレータcmp6の入力端(−)の基準電圧Vrefがこの場合は

D1=Lレベル、D2=D3=D4=Hレベルにして電源電圧の約79.4%に設定されている。この電圧と比較してそれよりも低い中間レベルであるからLレベルと判別されてコンパレータcmp6から出力データ105がMUX1の入力端0に出力される。

【0046】このLレベルはクロックCK1(図2(b)のC点のタイミング)でキャプチャレジスタreg2に保持され端子SO1からLレベルが出力される(実線部分)が、このLレベルは期待レベルのHレベルではないから直に故障と判断される。

【0047】端子SI1にLレベルを入力したとき、外部端子7が短絡故障を起こしていない場合は、D/Aコンパレータ6の入力を例えばD1=D2=D4=Lレベル、D3=Hレベルにして電源電圧の20.6%位を選択しコンパレータcmp6の入力端(-)に入力する。

【0048】セレクトAMUX1の制御信号LDをHレベルに設定し、SI1から入力されたLレベルをクロックCK1(図2(b)のA点のタイミング)でキャプチャレジスタ2が保持し、かつ端子SO1からLレベルが出力される。

【0049】次にセレクトAMUX1の制御信号LDをLレベルに変化させ、クロックCK2(図2(b)のB点のタイミング)でアップデートレジスタreg3がキャプチャレジスタ2から出力されたLレベルを保持しバッファBuf4を介して外部端子7に出力する。外部端子7の電圧レベルがコンパレータcmp6に入力され、基準電圧Vref、この場合は先に設定したように電源電圧の20.6%くらいであるから、正常動作時の外部端子7のLレベルはこの基準電圧よりも十分に低く、Lレベルに判別され出力される。

【0050】このときセレクトAMUX1の制御信号LDがLレベルに設定してあるので、コンパレータcmp6の出力(Lレベル)をクロックCK1(図2(b)のC点のタイミング)でキャプチャレジスタreg2が保持し、端子SO1からLレベルを出力する(一点鎖線部分)。

【0051】上述の状態で外部端子7がHレベル側と短絡故障を起こしている場合は、クロックCK2(図2(b)のB点のタイミング)で、外部端子7にてアップデートレジスタreg3の出力(Lレベル)と短絡しているHレベルとがぶつかって、外部端子7の電位が中間電圧レベルとなっても、コンパレータcmp6の基準電圧Vrefが電源電圧の約10%位に設定されているから中間レベルはすべてHレベルと判別される。このHレベルがクロックCK1(図2(b)のC点のタイミング)でキャプチャレジスタreg2に保持され、端子SO1からHレベルが出力される(実線部分)ので、期待レベルのLレベルではないから直に故障と判定される。

【0052】上述したように、基準電圧生成手段として

D/Aコンバータ8を用い、コンパレータcmp6の基準電圧VrefをHレベル側に設定しているときはLレベルと中間レベルを明確にLレベルと判別出来る電圧レベルになるように適宜制御端子D1~Dnのデジタル値の組み合わせを設定し、またLレベル側に短絡しているときはHレベルと中間レベルを明確にHレベルと判別出来る電圧レベルに設定することで、短絡故障を全て検出できる。本実施の形態の場合は基準電圧生成手段としてD/Aコンバータを用いるので制御信号のデジタル信号を組み合わせることにより任意の基準電圧を生成して判定レベルを調整することが出来る。

【0053】次に本発明の第3の実施の形態のブロック図を示した図4を参照すると、第1の実施の形態との相違点は、第1の実施の形態のブロック構成を任意の数だけ備え、それぞれのコンパレータcmp51、52、~5nのそれぞれの入力端(-)をセレクトAMUX6の出力端に共通接続したことである。つまり複数組のバウンダリスキャンパスを用いたテスト回路に対し基準電圧Vrefを供給するセレクトはMUX6の1個だけである。それ以外の構成要素はそれぞれ同一であり、符号のSI1とSI2~SIn、SO1とSO2~SON、MUX1とMUX11~MUX1nと、reg2とreg21~reg2nと、reg3とreg31~reg3nと、バッファ4とバッファ41~4nと、コンパレータ5とコンパレータ51~5nと、外部端子71と外部端子71~外部端子7nとがそれぞれ対応する。

【0054】これらの構成により、複数の外部端子をテストするとき、前段の出力端子SOmを次段の入力端子SI m+1に接続しこれを順次繰り返して数珠つなぎとしバウンダリスキャンパスを構成し、このときの基準電圧を供給する例を示している。つまり、複数のコンパレータの基準電圧入力を1つのセレクトで制御できる。

【0055】次に本発明の第4の実施の形態のブロック図を示した図5を参照すると、第2の実施の形態との相違点は、第2の実施の形態のブロック構成を任意の数だけ備え、それぞれのコンパレータcmp51、52、~5nのそれぞれの入力端(-)をD/Aコンバータ8の出力端に共通接続したことである。つまり複数組のバウンダリスキャンパスを用いたテスト回路に対し基準電圧Vrefを供給するD/AコンバータはD/Aコンバータ8の1個だけである。それ以外の構成要素はそれぞれ同一であり、符号のSI1とSI2~SIn、SO1とSO2~SON、MUX1とMUX11~MUX1nと、reg2とreg21~reg2nと、reg3とreg31~reg3nと、バッファ4とバッファ41~4nと、コンパレータ5とコンパレータ51~5nと、外部端子71と外部端子71~外部端子7nとがそれぞれ対応する。

【0056】これらの構成により、第3の実施の形態同様、順次繰り返して数珠つなぎとしバウンダリスキャン

・パスを構成し、このときの基準電圧を供給する例を示している。つまり、複数のコンパレータの基準電圧入力に、同一の n ビットのデジタル信号 D_n を入力とする D/A コンバータで制御された基準電圧を入力することにより、複数のコンパレータの基準電圧入力を1つの D/A コンバータで制御できる。

【0057】

【発明の効果】以上説明したように、本発明のテスト回路は、入力端子から供給されるデータを所定の制御信号に応答して選択的に出力する第1のセクタと、このセクタ出力の選択データを第1のクロックに同期させて順次に直列データとして入力する従属接続された第1のレジスタと、このレジスタの出力データを次段のテスト回路に取り込む出力端子と、第1のレジスタの出力データを第2のクロックに同期させて順次に直列データとして入力する従属接続された第2のレジスタと、この第2のレジスタから順次に読み出された出力データを外部端子に出力するバッファと、このバッファから出力された出力データを外部に出力する外部端子と、この外部端子における短絡故障検出用の基準電圧を生成する基準電圧生成手段と、この基準電圧生成手段から供給される基準電圧を用いて、外部端子の電位を判定し中間レベルであれば期待レベルに対して反対の電圧レベルをセクタに出力するコンパレータとを備えるので、外部端子が中間レベルのときにはコンパレータから出力される期待レベルに対して反対の電圧レベルをセクタおよび第1のレジスタを介して次段のテスト回路に取り込み、期待レベルと異なる電圧レベルを検出して外部端子の短絡故障を判定することが出来、したがって、故障検出の確度が高いテストによって信頼性の高い半導体装置を提供することが出来る。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示すテスト回路の回路図である。

【図2】(a) 図1の入力信号 $SI1$ をHレベルにしたときのタイミングチャートである。

(b) 図1の入力信号 $SI1$ をLレベルにしたときのタイミングチャートである。

【図3】本発明の第2の実施の形態を示すテスト回路の

回路図である。

【図4】本発明の第3の実施の形態を示すテスト回路の回路図である。

【図5】本発明の第4の実施の形態を示すテスト回路の回路図である。

【図6】バウンダリスキャンパスの一般的な構成図である。

【図7】(a) バウンダリスキャン・パスを用いたテスト回路の一例を示すブロック図である。

(b) バウンダリスキャン・パスを用いたテスト回路のレジスタのスレッシュホールドレベルの V_{TH} , V_{TP} などによるばらつきを示す波形図である。

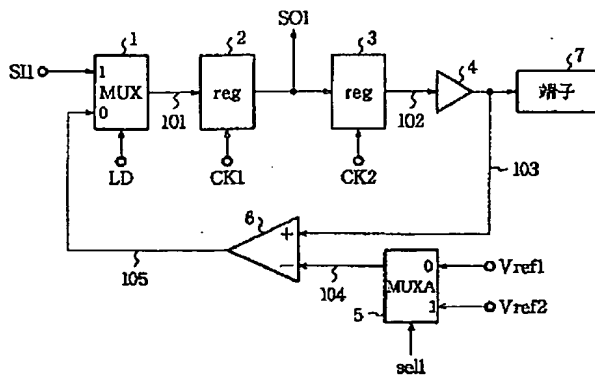
【図8】(a) 図7(a)のテスト回路の入力信号 $SI1$ をHレベルにしたときのタイミングチャートである。

(b) 図7(a)のテスト回路の入力信号 $SI1$ をLレベルにしたときのタイミングチャートである。

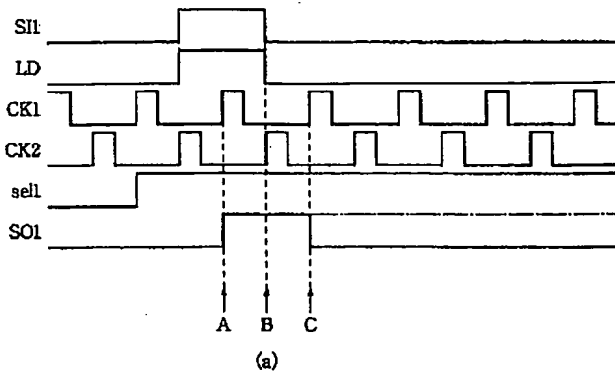
【符号の説明】

- 1, 11~1n 入力電圧セクタMUX
- 2, 21~2n キャプチャーレジスタreg
- 3, 31~3n アップデートレジスタreg
- 4, 41~4n バッファBuf
- 5, 51~5n 基準電圧セクタMUX A
- 6, 61~6n コンパレータcmp
- 7, 71~7n 端子
- 8 D/Aコンバータ(nビット) D/A
- CK1 クロック1
- CK2 クロック2
- D1~Dn D/A制御信号
- LD 入力電圧セクタMUXのセレクト信号
- SI1~SIn テスト回路入力信号
- SO1~SON 短絡判別出力回路
- sel1 基準電圧セクタMUX Aのセレクト信号
- Vref1, Vref2 セクタMUX Aに供給される基準電圧
- V_{TH} スレッシュホールドレベル
- Vin1 Lレベル判別領域
- Vin2 スレッシュホールドレベルのばらつく領域
- Vin3 Hレベル判別領域

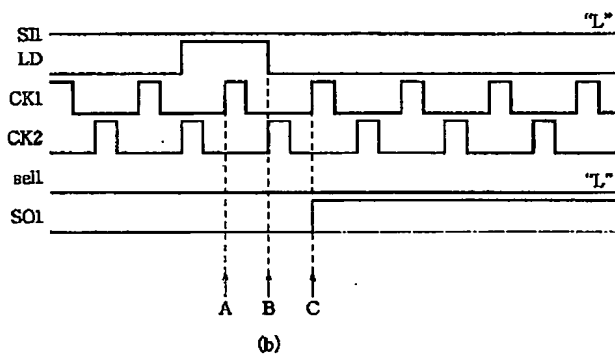
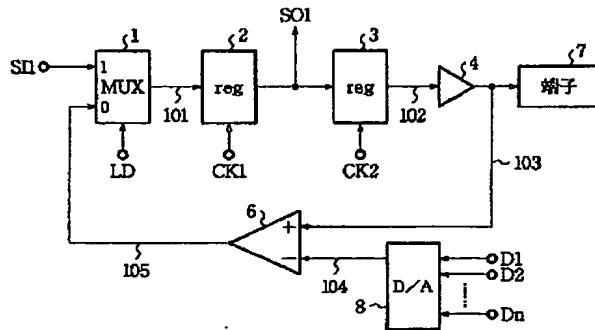
【図1】



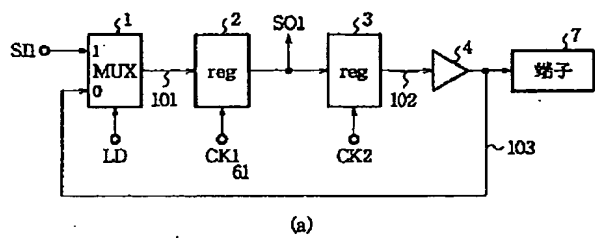
【図2】



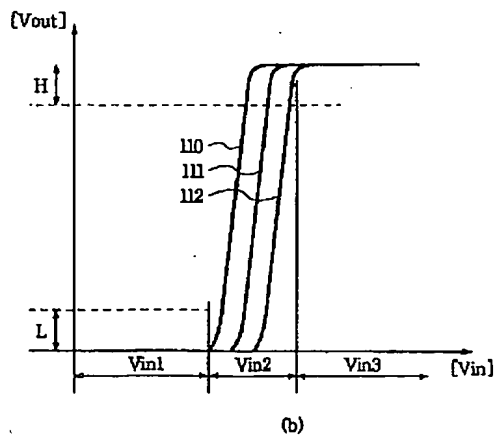
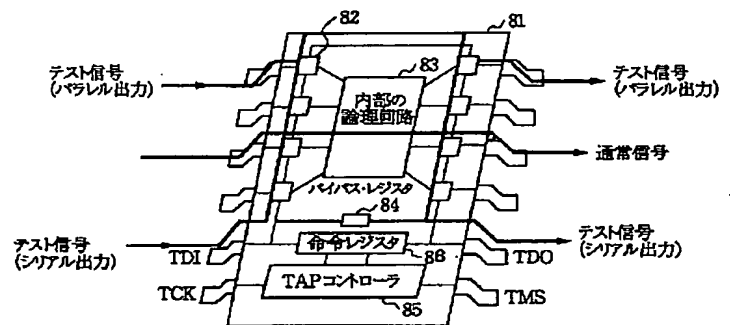
【図3】



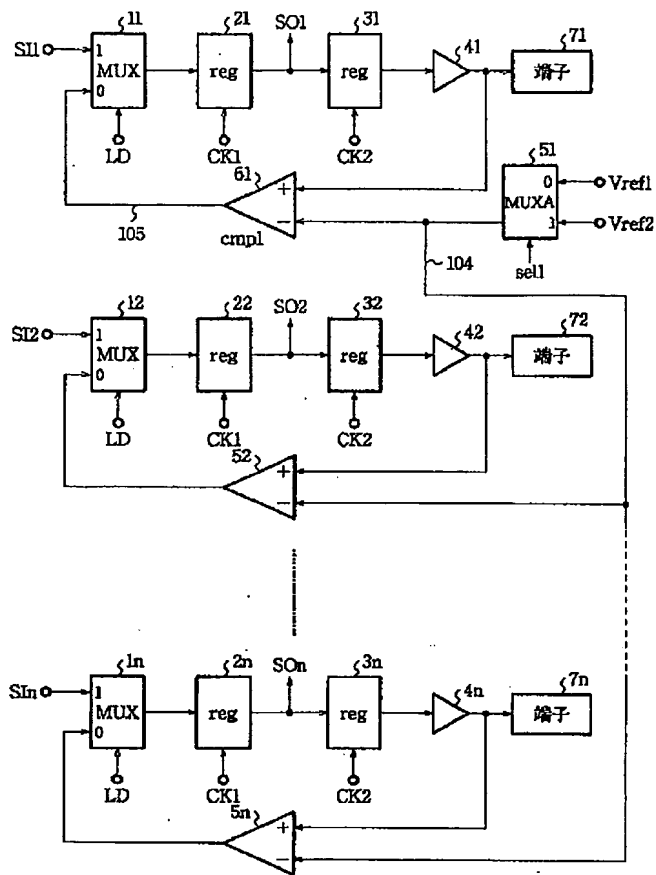
【図7】



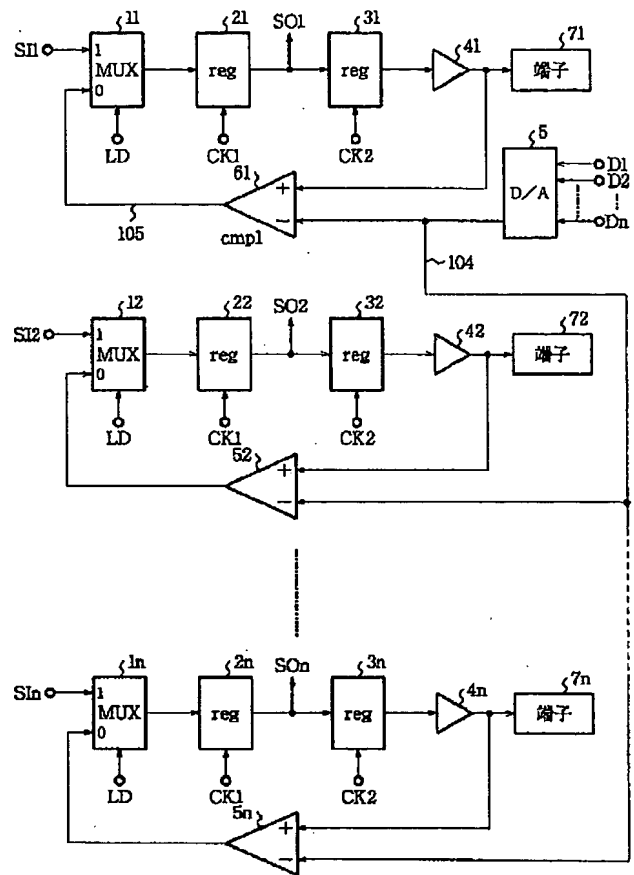
【図6】



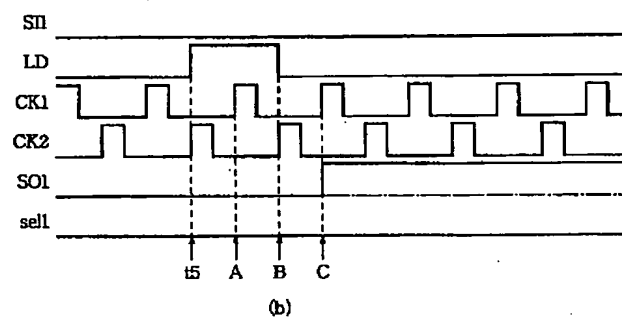
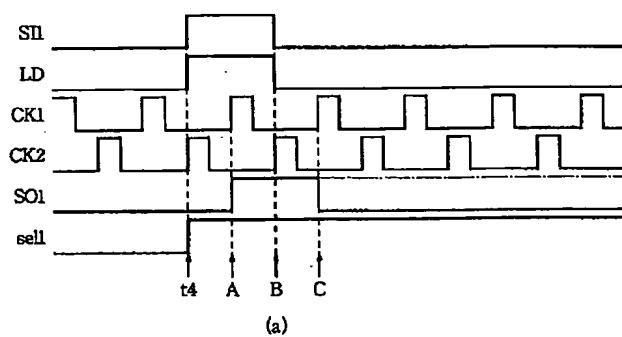
【図4】



【図5】



【図8】



THIS PAGE BLANK (USPTO)